

基于全工作域驱动模式动态配置的 Si/SiC 混合器件开关策略

龙柳, 白丹*, 肖凡, 涂春鸣, 郭祺

(国家电能变换与控制工程技术研究中心(湖南大学), 湖南省 长沙市 410082)

Switching Strategy for Si/SiC Hybrid Switch Based on Dynamic Configuration of Driving Mode in Full Working Domain

LONG Liu, BAI Dan*, XIAO Fan, TU Chunming, GUO Qi

(National Electric Power Conversion and Control Engineering Technology Research Center (Hunan University),
Changsha 410082, Hunan Province, China)

ABSTRACT: The Si/SiC hybrid switch (Si/SiC HyS) is composed of a low-current SiC metal oxide semiconductor field effect transistor (MOSFET) and a high-current Si insulated gate bipolar transistor (IGBT) in parallel. It has attracted much attention because of its excellent performance of low switching loss and high switching speed of MOSFET and the low cost advantage of IGBT. However, the switching rates of MOSFET and IGBT are quite different. During the switching transient process under heavy load, MOSFET and IGBT are prone to the problem of peak current exceeding the limit, which threatens the reliable operation during the full working domain of the HyS. This paper proposes a switching strategy for Si/SiC HyS based on dynamic configuration of gate mode in full working domain. Firstly, the influence mechanism of the gate voltage on the switching transient current distribution of Si/SiC HyS is analyzed in detail, and the mathematical model of the peak current with respect to the gate voltage is established. Considering the current stress constraint, the whole working domain is divided into three load intervals. Guided by the principle that the turn-on and turn-off overcurrent ratios are capped at 1, this study takes the minimum loss of HyS as the optimization objective to dynamically optimize the driving sequence and gate voltage across different load intervals. Finally, the experimental results show that compared with the traditional strategies, the proposed switching strategy can achieve lower loss while ensuring that MOSFET and IGBT are free from overcurrent vulnerabilities in the whole working domain.

KEY WORDS: Si/SiC hybrid switch (Si/SiC HyS); gate voltage; switching sequence; switching strategy; full working domain; reliability

摘要: Si/SiC 混合器件(Si/SiC hybrid switch, Si/SiC HyS)由小电流 SiC 金属氧化物半导体场效应晶体管(metal oxide semiconductor field effect transistor, MOSFET)和大电流 Si 绝缘栅双极晶体管(insulated gate bipolar transistor, IGBT)并联组成, 因其同时具备 MOSFET 低开关损耗、高开关速度的优异性能与 IGBT 的低成本优势而备受关注。然而, MOSFET 与 IGBT 的开关速率差异大, 重载下开关暂态过程中二者极易面临电流峰值越限问题, 进而威胁到混合器件全工作域的可靠运行。针对这一问题, 提出一种基于全工作域驱动模式动态配置的 Si/SiC HyS 开关策略。首先, 详细分析驱动电压对 Si/SiC HyS 开关暂态电流分布的影响机理, 建立电流峰值关于驱动电压的数学模型; 在此基础上, 考虑电流应力约束将全工作域划分为 3 个负载区间, 以 MOSFET 与 IGBT 的开通及关断过流比均不超过 1 为原则、混合器件损耗最小化为优化目标, 对不同负载区间的驱动时序与驱动电压进行动态最佳配置; 最后, 实验结果表明, 相比于传统策略, 所提开关策略能够实现更低损耗的同时, 保障 MOSFET 与 IGBT 在全工作域内均不出现过流问题。

关键词: Si/SiC 混合器件; 驱动电压; 开关时序; 开关策略; 全工作域; 可靠性

0 引言

电力电子装置小型化、轻量化的发展方向要求电力电子器件具有更加优异的性能, 传统 Si 基器件兼有大电流量与低导通压降^[1], 但开关频率低、开关损耗高^[2]。SiC 基器件导通电阻低、开关速度高^[3], 但制造工艺不成熟、成本昂贵限制了其在电力电子领域的大范围应用^[4]。为将二者进行优势互补, 文献[5-7]利用小电流 SiC 金属氧化物半导体场效应晶体管(metal oxide semiconductor field effect

基金项目: 国家自然科学基金项目(52130704, 52507220)。

Project Supported by National Natural Science Foundation of China (52130704, 52507220).

transistor, MOSFET)和大电流 Si 绝缘栅双极晶体管 (insulated gate bipolar transistor, IGBT) 并联组成 Si/SiC 混合器件 (Si/SiC hybrid switch, Si/SiC HyS), 并结合 MOSFET 先于 IGBT 开通并晚于其关断等多种开关时序, 降低器件成本的同时提高了装置的功率密度。

功率器件的高开关速度会使其在开关过程中易出现电流过冲问题, 进而降低变换器的输出能力、电磁兼容性和运行可靠性^[8-11]。对于 Si/SiC HyS, 一方面, 由于 MOSFET 内部存在结电容, Si/SiC HyS 在开通过程中存在较大的电流超调^[12]。另一方面, Si/SiC HyS 运行于较高负载工况下时, 提前开通或滞后关断的器件承担主要电流, 其承受的暂态电流也易突破器件的安全工作电流, 造成器件加速老化甚至失效^[13]。因此, 开关暂态过程中的过流应力是制约 Si/SiC HyS 广泛应用的一大阻碍。

为抑制 Si/SiC HyS 在开关过程中的电流尖峰, 学术界和工业界从开关时序、频率、驱动电压等调控参量出发提出了多种解决方案。文献[14-17]考虑到小电流的 MOSFET 更容易出现过流应力, 提出在轻载时使 MOSFET 先于 IGBT 开通并晚于其关断、重载下则采用 IGBT “先开后关”的开关时序。该方法通过时序的切换来避免 MOSFET 承担过大的暂态电流, 保障其可靠性, 但同时也带来了整体损耗的增加。在此基础上, 为了不增加额外功率损耗, 文献[18-20]提出了一种新颖的变开关模式策略和变脉宽调制 (pulse width modulation, PWM) 频率策略相结合的变频电流相关开关策略。变开关模式策略可以避免 SiC MOSFET 在重载工作条件下的过电流应力, 变脉宽调制频率策略则通过降低峰值电流区域附近的开关频率, 可以有效降低 Si/SiC HyS 的开关损耗, 但调整开关频率将引起变换器输出侧电能质量的下降。此外, 文献[21]提出了一种抑制关断电流尖峰的方法, 通过对比不同驱动负压下的电流峰值与损耗情况, 确定了一组可实现二者平衡的 MOSFET 与 IGBT 驱动负压, 但该方法对电流应力的抑制效果较弱。综上所述, 现有针对 Si/SiC HyS 的研究大部分无法实现抑制电流应力与控制损耗的有效兼顾。为此, 文献[22-23]提出了一种考虑驱动电压与开关时序协同调控的 Si/SiC HyS 开关策略, 通过采用驱动电压与开关时序相配合的方式, 在保障 MOSFET 可靠性的前提下提高了运行效率。但该开关策略考虑的负载范围较小, 忽略了

IGBT 在重载情况下存在的过流风险, 并未实现 Si/SiC HyS 在全工作域内的过流抑制。

相比于文献[22-23], 一方面, 本文所考虑的负载范围更为全面, 负载电流最大值由 IGBT 额定电流扩大为 MOSFET 与 IGBT 额定电流之和, 真正实现 Si/SiC HyS 全工作域内的过流抑制; 另一方面, 本文所考虑的驱动正压范围由传统 +15V ~ +20V 扩展为 +12V ~ +20V, 驱动负压由 -5V 扩展为 -1V ~ -15V, 驱动正压对电流应力的调控能力得到进一步利用、驱动负压的调控能力则得以发挥作用。本文旨在避免文献[22-23]中 IGBT 在中、重载下的硬开关过程, 实现 Si/SiC HyS 的电流应力抑制与开关损耗优化。

基于此, 本文详细分析驱动电压对 Si/SiC HyS 电流应力的影响机理, 提出一种基于全工作域驱动模式动态配置的 Si/SiC HyS 开关策略, 以实现混合器件低电气应力和低损耗的应用。所提开关策略合理划分负载区间并配置应的驱动时序, 在各区间内进行最佳驱动正压与最佳驱动负压的配置, 形成一套全工作域驱动模式配置方案。最后, 搭建实验平台, 对所提开关策略的有效性进行实验验证。

1 驱动电压对 Si/SiC HyS 动态电流分布的影响分析

1.1 Si/SiC HyS 工作原理

Si/SiC HyS 由大功率 IGBT 与小功率 MOSFET 并联组成, 其结构如图 1 所示。

为了最小化 Si/SiC HyS 的开关损耗, 一般采用如图 2(a)所示的开关时序 A^[24]。图中: V_{g_MOS} 与

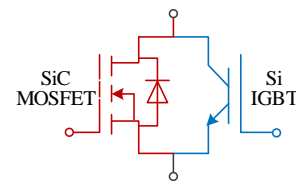
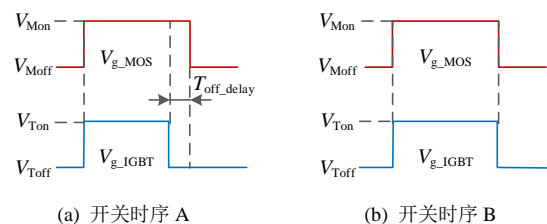


图 1 Si/SiC 混合器件结构

Fig. 1 Si/SiC HyS structure



(a) 开关时序 A

(b) 开关时序 B

图 2 Si/SiC 混合器件开关时序

Fig. 2 Switching sequence of Si/SiC HyS

V_{g_IGBT} 分别为 MOSFET 与 IGBT 的驱动信号； T_{off_delay} 为关断延时。然而，当变流器运行于重载工况下时，若仍采用开关时序 A，MOSFET 在开关过程中将出现严重过流应力，威胁变流器的可靠运行。为解决上述问题，本文提出重载下采用如图 2(b) 所示的开关时序 B，使 MOSFET 与 IGBT 共同分担开关动态电流。此外，本文考虑通过合理配置驱动电压，在保障 Si/SiC HyS 低电流应力的同时实现损耗优化。

为了充分挖掘驱动电压对 Si/SiC HyS 电流应力的调控能力，下文基于开关时序 B 下的 Si/SiC HyS 开关暂态过程，分析考虑驱动电压影响下的 Si/SiC HyS 电流应力特性。

1.2 考虑驱动电压影响的 Si/SiC HyS 电流应力特性分析

1.2.1 开通过程

运行于开关时序 B 下的 Si/SiC HyS 开通波形如图 3 所示。图中： V_{GS} 与 V_{GE} 分别为栅源电压与栅射电压； I_D 与 I_C 分别为漏极电流与集电极电流； I_p 为流过 Si/SiC HyS 的总电流； V_{DS} 为漏源电压； V_{Mon} 、 V_{Moff} 、 V_{THM} 、 I_{Dpon} 分别为 MOSFET 的驱动正压、驱动负压、栅极阈值电压、开通电流峰值； V_{Ton} 、 V_{Toff} 、 V_{THT} 、 I_{Cpon} 分别为 IGBT 的驱动正压、驱动负压、栅极阈值电压、开通电流峰值； I_{peak} 为 I_p 峰值； I_F 为负载电流； V_{DC} 为直流母线电压； V_{on} 为 Si/SiC HyS 稳态压降。

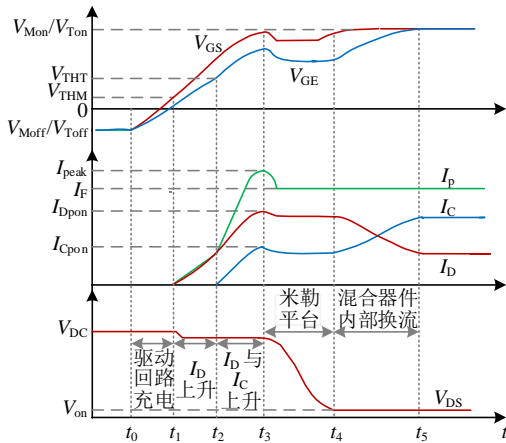


图 3 Si/SiC 混合器件开通波形

Fig. 3 The turn-on waveforms of Si/SiC HyS

由图 3 可知，Si/SiC HyS 电流上升阶段为 t_1-t_3 ，MOSFET 与 IGBT 开通电流峰值均出现在 t_3 时刻。 I_D 与 I_C 上升率^[25]可表示为：

$$\frac{dI_D}{dt} = \frac{g_{fs}(V_{Mon} - V_{THM})}{\tau_M + g_{fs}L_s} \quad (1)$$

$$\frac{dI_C}{dt} = \frac{g_{fe}(V_{Ton} - V_{THT})}{\tau_T + g_{fe}L_e} \quad (2)$$

式中： g_{fs} 、 g_{fe} 分别为 MOSFET、IGBT 跨导； τ_M 、 τ_T 为二者的充电常数； L_s 、 L_e 分别为 MOSFET 源极与 IGBT 发射极寄生电感。 I_D 、 I_C 开始上升的初始时间差^[26]为

$$t_2 - t_1 = \tau_M \ln\left(\frac{V_{THM} - V_{Mon}}{V_{Moff} - V_{Mon}}\right) - \tau_T \ln\left(\frac{V_{THT} - V_{Ton}}{V_{Toff} - V_{Ton}}\right) \quad (3)$$

t_3 时刻 I_p 持续增大至 I_{peak} ， I_{peak} 表达式^[22]为

$$I_{peak} = I_F + \sqrt{Q_{rr1} \frac{dI_D}{dt}} + \sqrt{Q_{rr2} \frac{dI_C}{dt}} \quad (4)$$

式中 Q_{rr1} 、 Q_{rr2} 分别为 MOSFET、IGBT 的反向恢复电荷。由图 3 可知， I_C 上升时间与 I_{peak} 、 I_D 、 I_C 变化率存在如下关系：

$$t_3 - t_2 = [I_{peak} - \frac{dI_D}{dt}(t_2 - t_1)] / (\frac{dI_D}{dt} + \frac{dI_C}{dt}) \quad (5)$$

结合式(1)–(5)可得 I_{Dpon} 、 I_{Cpon} 表达式：

$$I_{Dpon} = [(t_3 - t_2) + (t_2 - t_1)] \frac{dI_D}{dt} \quad (6)$$

$$I_{Cpon} = (t_3 - t_2) \frac{dI_C}{dt} \quad (7)$$

由式(1)、(5)可知，若增大 V_{Mon} ，则 dI_D/dt 增大且 t_3-t_2 缩短，结合式(4)、(7)则 I_{peak} 有所增大、 I_{Cpon} 有所降低，故 I_{Dpon} 对应增加。反之，若 V_{Ton} 增大，由式(2)、(5)可知， I_C 将加速上升、 t_3-t_2 仍缩短，结合式(4)、(6)则 I_{peak} 增大而 I_{Dpon} 减小，故 I_{Cpon} 表现为增大趋势。

综上所述，开关时序 B 下 MOSFET 与 IGBT 开通电流峰值与其自身驱动正压呈正相关关系，与另一器件驱动正压呈负相关关系。此外，由于 MOSFET 开通速度较快且电流等级较小、更易出现过流现象。

1.2.2 关断过程

开关时序 B 下的 HyS 关断波形如图 4 所示。图中： V_{GPM} 与 V_{GPT} 为 MOSFET 与 IGBT 米勒平台电压； I_{Dpoff} 、 I_{Cpoff} 分别为二者的关断电流峰值。由图可知， t_6-t_7 阶段由于 V_{GS} 与 V_{GE} 放电导致 MOSFET 和 IGBT 的导通电阻 R_{DS} 、 R_{CE} 变化，进而 Si/SiC HyS 内部出现动态分流现象。

t_7 时 IGBT 出现关断电流峰值， t_7 后 MOSFET 与 IGBT 由可变电阻区进入放大区。由于 IGBT 关断所需时间为上百个 ns^[27]，而 MOSFET 关断仅需

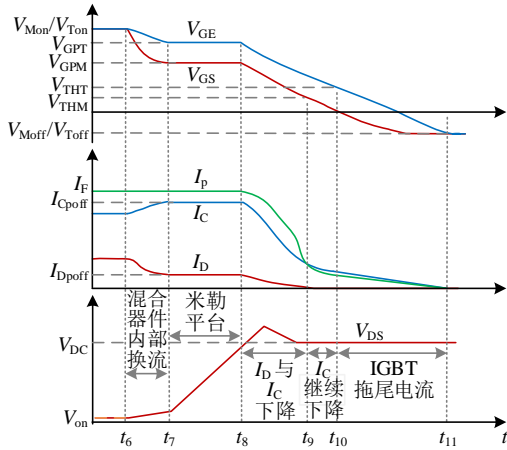


图 4 Si/SiC 混合器件关断波形

Fig. 4 The turn-off waveforms of Si/SiC HyS

数十个 ns^[28]，故 MOSFET 始终快于 IGBT 关断。因此，MOSFET 在混合器件关断时不会出现过流应力。 R_{DS} 和 R_{CE} 可表示为：

$$R_{DS}(V_{GS}, T_{j_MOS}) = K_{R_MOS}(T_{j_MOS} - 25^\circ\text{C}) + \left(\frac{V_{GS_ref}(25^\circ\text{C})}{V_{GS}}\right)^a R_{DS_ref}(25^\circ\text{C}) \quad (8)$$

$$R_{CE}(V_{GE}, T_{j_IGBT}) = K_{R_IGBT}(T_{j_IGBT} - 25^\circ\text{C}) + \left(\frac{V_{GE_ref}(25^\circ\text{C})}{V_{GE}}\right)^b R_{CE_ref}(25^\circ\text{C}) \quad (9)$$

式中： T_{j_MOS} 、 K_{R_MOS} 、 $V_{GS_ref}(25^\circ\text{C})$ 、 $R_{DS_ref}(25^\circ\text{C})$ 和 a 分别为 SiC MOSFET 的结温、导通电阻温度影响因子、参考栅源电压、参考导通电阻以及栅源电压校正因子； T_{j_IGBT} 、 K_{R_IGBT} 、 $V_{GE_ref}(25^\circ\text{C})$ 、 $R_{CE_ref}(25^\circ\text{C})$ 和 b 分别为 IGBT 的结温、导通电阻温度影响因子、参考栅射电压、参考导通电阻以及栅射电压校正因子。

结合米勒平台特性与功率器件放大区特性可知 t_7 时刻有：

$$V_{GS}(t_7) = \frac{dV_{DS}}{dt} R_{gm} C_{gd} + V_{Moff} \quad (10)$$

$$V_{GE}(t_7) = \frac{dV_{DS}}{dt} R_{gt} C_{gc} + V_{Toff} \quad (11)$$

$$g_{fs}(V_{GS}(t_7) - V_{THM}) + g_{fe}(V_{GE}(t_7) - V_{THT}) = I_F \quad (12)$$

式中： R_{gm} 、 R_{gt} 分别为 MOSFET 和 IGBT 的栅极电阻； C_{gd} 、 C_{gc} 分别为栅源电容与栅集电容。结合式(10)—(12)可得：

$$V_{GS}(t_7) = \frac{g_{fe} R_{gt} C_{gc} V_{Moff} - g_{fe} R_{gm} C_{gd} V_{Toff} + \lambda_1}{g_{fs} R_{gm} C_{gd} + g_{fe} R_{gt} C_{gc}} \quad (13)$$

$$V_{GE}(t_7) = \frac{-g_{fs} R_{gt} C_{gc} V_{Moff} + g_{fs} R_{gm} C_{gd} V_{Toff} + \lambda_2}{g_{fs} R_{gm} C_{gd} + g_{fe} R_{gt} C_{gc}} \quad (14)$$

$$\lambda_1 = (I_F + g_{fs} V_{THM} + g_{fe} V_{THT}) R_{gm} C_{gd} \quad (15)$$

$$\lambda_2 = (I_F + g_{fs} V_{THM} + g_{fe} V_{THT}) R_{gt} C_{gc} \quad (16)$$

将式(13)—(16)代入式(8)、(9)，由分流特性可得 I_{Cpoff} 表达式如下：

$$I_{Cpoff} = \frac{R_{DS}(V_{GS}(t_7), T_{j_MOS}) I_F - V_{knee}}{R_{DS}(V_{GS}(t_7), T_{j_MOS}) + R_{CE}(V_{GE}(t_7), T_{j_IGBT})} \quad (17)$$

式中 V_{knee} 为 IGBT 的集电极-发射极拐点电压。 I_{Dpoff} 可表示为

$$I_{Dpoff} = \frac{R_{CE}(V_{GE}(t_7), T_{j_IGBT}) I_F + V_{knee}}{R_{DS}(V_{GS}(t_7), T_{j_MOS}) + R_{CE}(V_{GE}(t_7), T_{j_MOS})} \quad (18)$$

由式(13)、(14)可知，若增大 V_{Moff} 幅值，则 $V_{GS}(t_7)$ 减小而 $V_{GE}(t_7)$ 增大，结合式(8)、(9)可知， $R_{DS}(t_7)$ 将增大、 $R_{CE}(t_7)$ 将减小，因此 I_{Cpoff} 增大。反之，若增大 V_{Toff} 幅值，则 $V_{GS}(t_7)$ 增大而 $V_{GE}(t_7)$ 减小，从而 $R_{DS}(t_7)$ 减小、 $R_{CE}(t_7)$ 增大，故 I_{Cpoff} 呈现降低趋势。

综上所述，开关时序 B 下 IGBT 关断电流峰值与其自身驱动负压幅值呈负相关关系，与 MOSFET 驱动负压幅值呈正相关关系，MOSFET 在混合器件的关断过程中不存在过流现象。

1.3 考虑驱动电压影响的 Si/SiC HyS 损耗模型

1.3.1 开关损耗

1) 开通损耗：本文采用了开关时序 A 与开关时序 B 两种时序，两种时序下 MOSFET 与 IGBT 均为同时开通，因此，二者的开通损耗模型相同。Si/SiC HyS 的开通损耗由 MOSFET 与 IGBT 共同产生，MOSFET、IGBT、Si/SiC HyS 三者的开通损耗分别为：

$$P_{on_MOS} = a_1 P_{on_MOS_ref} \cdot \left(\frac{V_{Mon_ref}}{V_{Mon}}\right)^{b_1} [1 + T_{CS_on_MOS}(T_{j_MOS} - T_{j_ref})] \left(\frac{I_F}{I_{ref}}\right)^{c_1} \quad (19)$$

$$P_{on_IGBT} = a_2 P_{on_IGBT_ref} \cdot \left(\frac{V_{Ton_ref}}{V_{Ton}}\right)^{b_2} [1 + T_{CS_on_IGBT}(T_{j_IGBT} - T_{j_ref})] \left(\frac{I_F}{I_{ref}}\right)^{c_2} \quad (20)$$

$$P_{on} = P_{on_MOS} + P_{on_IGBT} \quad (21)$$

式中： V_{Mon_ref} 、 $P_{on_MOS_ref}$ 为 MOSFET 的参考驱动正压、开通损耗参考值； V_{Ton_ref} 、 $P_{on_IGBT_ref}$ 为 IGBT 的参考驱动正压、开通损耗参考值； I_{ref} 、 T_{j_ref} 分别为 Si/SiC HyS 的负载电流参考值以及结温参考值； a_1 、 b_1 、 c_1 、 a_2 、 b_2 、 c_2 、 $T_{cs_on_MOS}$ 、 $T_{cs_on_IGBT}$ 为相应的修正系数且均为正值。

由式(19)、(20)可知, MOSFET 与 IGBT 开通损耗与其自身驱动正压负相关。结合式(21)可知, Si/SiC HyS 的开通损耗与 MOSFET 及 IGBT 驱动正压均呈负相关特性。

2) 关断损耗: 开关时序 A 下 MOSFET 滞后于 IGBT 关断, 关断延时为 $T_{\text{off_delay}}$, Si/SiC HyS 关断损耗主要由 MOSFET 硬关断损耗、MOSFET 额外导通损耗、IGBT 残余损耗 3 部分构成, 开关时序 A 下 MOSFET、IGBT、Si/SiC HyS 三者的关断损耗分别为:

$$P_{\text{off_MOSA}} = P_{\text{off_MOS_ref}} \left(\frac{V_{\text{Moff_ref}}}{V_{\text{Moff}}} \right)^{e_1} \left(\frac{I_F}{I_{\text{ref}}} \right)^{f_1} \cdot [1 + T_{\text{CS_off_MOS}}(T_{\text{j_MOS}} - T_{\text{j_ref}})] + I_F^2 R_{\text{DS}}(V_{\text{Mon}}, T_{\text{j_MOS}})(T_{\text{off_delay}} - t_{\text{off_IGBT}}) \quad (22)$$

$$P_{\text{off_IGBTA}} = P_{\text{res}} \quad (23)$$

$$P_{\text{offA}} = P_{\text{off_MOSA}} + P_{\text{off_IGBTA}} \quad (24)$$

式中: $V_{\text{Moff_ref}}$ 、 $P_{\text{off_MOS_ref}}$ 分别为 MOSFET 的参考驱动负压、关断损耗参考值; $t_{\text{off_delay}}$ 为 IGBT 的关断时间; P_{res} 为 IGBT 残余损耗; e_1 、 f_1 、 $T_{\text{cs_off_MOS}}$ 为修正系数且均为正值。

开关时序 B 下 IGBT 与 MOSFET 同时关断, Si/SiC HyS 关断损耗由 MOSFET 与 IGBT 共同构成, 开关时序 B 下 MOSFET、IGBT、Si/SiC HyS 三者的关断损耗分别为:

$$P_{\text{off_MOSB}} = d_1 P_{\text{off_MOS_ref}} \left(\frac{V_{\text{Moff_ref}}}{V_{\text{Moff}}} \right)^{e_1} \left(\frac{I_F}{I_{\text{ref}}} \right)^{f_1} \cdot [1 + T_{\text{CS_off_MOS}}(T_{\text{j_MOS}} - T_{\text{j_ref}})] \quad (25)$$

$$P_{\text{off_IGBTB}} = d_2 P_{\text{off_IGBT_ref}} \left(\frac{V_{\text{Toff_ref}}}{V_{\text{Toff}}} \right)^{e_2} \left(\frac{I_F}{I_{\text{ref}}} \right)^{f_2} \cdot [1 + T_{\text{CS_off_IGBT}}(T_{\text{j_IGBT}} - T_{\text{j_ref}})] \quad (26)$$

$$P_{\text{offB}} = P_{\text{off_MOSB}} + P_{\text{off_IGBTB}} \quad (27)$$

式中: $V_{\text{Toff_ref}}$ 、 $P_{\text{off_IGBT_ref}}$ 分别为 IGBT 的参考驱动负压、关断损耗参考值; d_1 、 d_2 、 e_2 、 f_2 、 $T_{\text{cs_off_IGBT}}$ 为修正系数且均为正值。

由式(22)、(23)、(25)、(26)可知, 两种开关时序下 MOSFET 与 IGBT 关断损耗均与其自身驱动负压幅值呈负相关。结合式(24)、(27)可知, 两种开关时序下 Si/SiC HyS 的关断损耗与 MOSFET 及 IGBT 驱动负压幅值均呈负相关。

1.3.2 导通损耗

当负载电流 I_F 小于 IGBT 的集电极-发射极拐点

电流 I_{knee} 时, I_F 由 MOSFET 单独导通。当 $I_F \geq I_{\text{knee}}$ 时, Si/SiC HyS 根据 R_{DS} 、 R_{CE} 进行内部分流。故 MOSFET、IGBT、Si/SiC HyS 三者的导通损耗表达式分别如下:

$$P_{\text{cond_MOS}} = \begin{cases} I_F^2 R_{\text{DS}}, & I_F < I_{\text{knee}} \\ R_{\text{DS}} \left(\frac{R_{\text{CE}} I_F + V_{\text{knee}}}{R_{\text{DS}} + R_{\text{CE}}} \right)^2, & I_F \geq I_{\text{knee}} \end{cases} \quad (28)$$

$$P_{\text{cond_IGBT}} = \begin{cases} 0, & I_F < I_{\text{knee}} \\ \frac{R_{\text{DS}}(R_{\text{CE}} I_F + V_{\text{knee}})(R_{\text{DS}} I_F - V_{\text{knee}})}{(R_{\text{DS}} + R_{\text{CE}})^2}, & I_F \geq I_{\text{knee}} \end{cases} \quad (29)$$

$$P_{\text{cond}} = \begin{cases} I_F^2 R_{\text{DS}}, & I_F < I_{\text{knee}} \\ \frac{R_{\text{DS}} I_F (R_{\text{CE}} I_F + V_{\text{knee}})}{R_{\text{DS}} + R_{\text{CE}}}, & I_F \geq I_{\text{knee}} \end{cases} \quad (30)$$

由式(30)可知, P_{cond} 与 R_{DS} 、 R_{CE} 正相关, 故此时 Si/SiC HyS 导通损耗与 MOSFET 及 IGBT 驱动正压负相关。因此, 在全工作范围内, 提升 MOSFET 和 IGBT 的驱动正压均有助于减小 Si/SiC HyS 的导通损耗。

2 Si/SiC HyS 开关策略设计

为实现 Si/SiC HyS 在全工作域内的低电流应力, 本节将对器件全工作域进行区间划分与开关时序匹配, 并从驱动正压与驱动负压两个层面进行驱动电压配置, 提出一种基于全工作域驱动模式动态配置的 Si/SiC HyS 开关策略。

2.1 基于负载区间划分的驱动时序配置

由式(4)、(17)、(18)可知, MOSFET 与 IGBT 开关电流峰值均与负载电流正相关, 故需充分考虑器件的开关过流情况对负载电流进行区间划分, 研究不同区间适配的开关时序与驱动电压。

为了更直接地表征器件的过流情况, 定义 MOSFET 与 IGBT 的开通过流比为 γ_{Mon} 与 γ_{Ton} 、关断过流比为 γ_{Moff} 与 γ_{Toff} , 表达式如下:

$$\gamma_{\text{Mon}} = \frac{I_{\text{Dpon}}}{I_{\text{SOA_MOS}}} \quad (31)$$

$$\gamma_{\text{Ton}} = \frac{I_{\text{Cpon}}}{I_{\text{SOA_IGBT}}} \quad (32)$$

$$\gamma_{\text{Moff}} = \frac{I_{\text{Dpoff}}}{I_{\text{SOA_MOS}}} \quad (33)$$

$$\gamma_{\text{Toff}} = \frac{I_{\text{Cpoff}}}{I_{\text{SOA_IGBT}}} \quad (34)$$

式中 I_{SOA_MOS} 、 I_{SOA_IGBT} 分别为 MOSFET 与 IGBT 的安全工作电流, $I_{SOA_MOS} < I_{SOA_IGBT}$, 可由数据手册获得。过流比大于 1 即为器件出现过流应力, 器件可靠性受到威胁。

记负载电流范围为 $0 \sim I_{Npeak}$, 以 I_{SOA_MOS} 与 I_{SOA_IGBT} 为边界进行负载区间划分, 如图 5 所示。

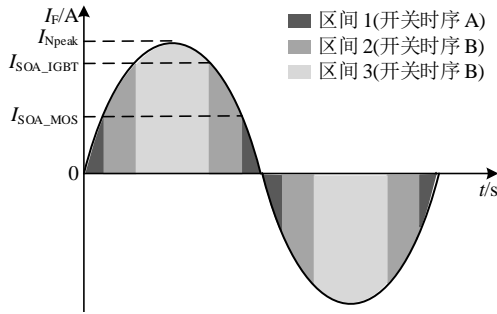


图 5 Si/SiC 混合器件全工作域内的开关时序配置

Fig. 5 Switching sequence configuration of Si/SiC HyS in the full working domain

1) 电流区间 1。

$0 \leq I_F < I_{SOA_MOS}$, 负载电流较小, 可采用开关时序 A 使 Si/SiC HyS 总损耗降到最低, 且 MOSFET 与 IGBT 在关断过程中均不会出现过流现象。MOSFET 内部结电容的存在会引起开通电流超调, 需关注二者的开通过流比 γ_{Mon} 与 γ_{Ton} 。

2) 电流区间 2。

$I_{SOA_MOS} \leq I_F < I_{SOA_IGBT}$, 为避免 MOSFET 在关断过程中出现过流现象, 故此时采用开关时序 B 运行 Si/SiC HyS, MOSFET 与 IGBT 同时开关、共同承担开关过程中的动态电流。考虑到 IGBT 关断速度远慢于 MOSFET, 因此 MOSFET 与 IGBT 在关断过程中均不会出现过流现象, 而开通过程中同样需要关注 γ_{Mon} 与 γ_{Ton} 。

3) 电流区间 3。

$I_{SOA_IGBT} \leq I_F \leq I_{Npeak}$, Si/SiC HyS 处于重载工况, 仍采用开关时序 B。MOSFET 与 IGBT 在开通过程中可能出现过流应力, 关断时 MOSFET 承担的暂态电流始终呈现下降趋势, 故仅有 IGBT 存在过流风险。故需关注 γ_{Mon} 、 γ_{Ton} 及 γ_{Toff} 。

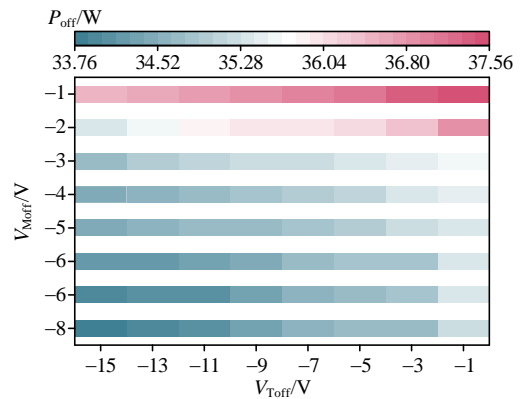
2.2 考虑电流应力约束的驱动电压配置

为了解决各个电流区间可能存在的过流应力问题, 本节基于 2.1 节的分析, 以保障 MOSFET 与 IGBT 在开关过程中可靠性并进一步减小损耗为目标, 开展各区间的驱动正压与驱动负压配置。

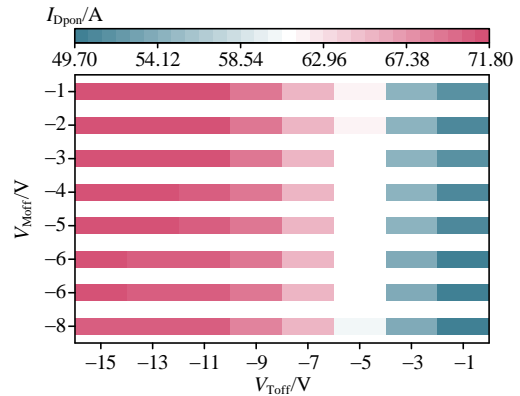
由数据手册可得 I_{SOA_MOS} 、 I_{SOA_IGBT} 、MOSFET

和 IGBT 驱动电压适配范围, 在考虑到硬件要求难以实现驱动电压的无极调节的情况下, 形成 MOSFET 和 IGBT 驱动电压可调值的集合。记 MOSFET 驱动正压与驱动负压可调值的集合为 $\{V_{Mon}\}$ 、 $\{V_{Moff}\}$, IGBT 驱动正压与驱动负压可调值的集合为 $\{V_{Ton}\}$ 、 $\{V_{Toff}\}$ 。驱动电压的配置可分为驱动负压与驱动正压两个部分:

1) 驱动负压配置: 由式(3)—(7)可知, 驱动负压对开通电流峰值也存在一定影响, 且 MOSFET 更易在开通过程中过流。因此, 驱动负压的设计需同时考虑 γ_{Moff} 、 γ_{Toff} 、 P_{off} 及 I_{Dpon} 。图 6 为不同驱动负压下的 P_{off} 与 I_{Dpon} 情况。由图 6 可知, P_{off} 对 V_{Moff} 幅值表现出显著负相关性、而对 V_{Toff} 的依赖性较弱。相反, I_{Dpon} 对 V_{Toff} 幅值的灵敏度较高、对 V_{Moff} 的灵敏度可忽略不计。故设计驱动负压时, 首先应基于可调范围 $\{(V_{Moff}, V_{Toff})\}$ 与本区间内 I_F 的最大值、筛选出满足 $\gamma_{Toff} < 1$ 的驱动负压集合 $\{(V_{Moff}^*, V_{Toff}^*)\}$ 。其次, 在所得范围内进一步筛选出满足 V_{Toff} 幅值最小的驱动负压集合 $\{(V_{Moff}^{**}, V_{Toffb})\}$ 以保障开通过程的可靠性, 最后, 在满足条件的驱动负压中选取



(a) 不同驱动负压下的 P_{off}



(b) 不同驱动负压下的 I_{Dpon}

图 6 不同驱动负压下的 P_{off} 与 I_{Dpon}

Fig. 6 P_{off} and I_{Dpon} under different negative gate voltages

V_{Moff} 幅值最大的驱动负压以减小损耗,即为最佳驱动负压(V_{Moffb}, V_{Toffb})。

2) 驱动正压配置: 在确定的驱动正压集合 $\{(V_{Mon}, V_{Ton})\}$ 与本区间内 I_F 最大值的基础上, 同样在可调范围内筛选出满足 $\gamma_{Mon} < 1$ 且 $\gamma_{Ton} < 1$ 的驱动正压集合 $\{(V_{Mon}^*, V_{Ton}^*)\}$ 。在满足条件的驱动正压范围内, 最终确定使 Si/SiC HyS 导通损耗与开通损耗之和 $P_{on+cond}$ 最小的驱动正压, 即为最佳驱动正压 (V_{Monb}, V_{Tonb})。各区间内的驱动电压配置流程如附图 A1 所示。

本文以 MOSFET(C3M0075120D, 1 200 V/32 A) 和 IGBT(IKW25T120, 1 200 V/50 A)组成的 Si/SiC HyS 为例进行驱动电压配置, 参数如表 1 所示。

表 1 Si/SiC HyS 参数

Table 1 The relevant parameters of the Si/SiC HyS

参数	数值
MOSFET 驱动正压/V	12~20
MOSFET 驱动负压/V	-1~-8
IGBT 驱动正压/V	12~20
IGBT 驱动负压/V	-1~-15
额定电流峰值/A	82
MOSFET 安全工作电流/A	50
IGBT 安全工作电流/A	75

1) 区间 1 内的驱动电压配置。

在驱动负压配置层面, 区间 1 内必然有 $\gamma_{Moff} < 1$ 与 $\gamma_{Toff} < 1$, 因此不必考虑关断过流问题, 直接选取 V_{Moff} 幅值最大且 V_{Toff} 幅值最小点为最佳驱动负压, 即 $V_{Moff} = -8\text{ V}$, $V_{Toff} = -1\text{ V}$ 。基于此, 以 $I_F = I_{SOA_MOS}$ 为条件, 获取不同驱动正压下的 $P_{on+cond}$ 、 γ_{Mon} 和 γ_{Ton} 如图 7 所示。由图可知, 满足 $\gamma_{Mon} \leq 1$ 和 $\gamma_{Ton} \leq 1$ 的驱动正压有 37 组, $P_{on+cond}$ 的最小值点为 $V_{Mon} = 17\text{ V}$ 和 $V_{Ton} = 20\text{ V}$, 即区间 1 内驱动电压配置为

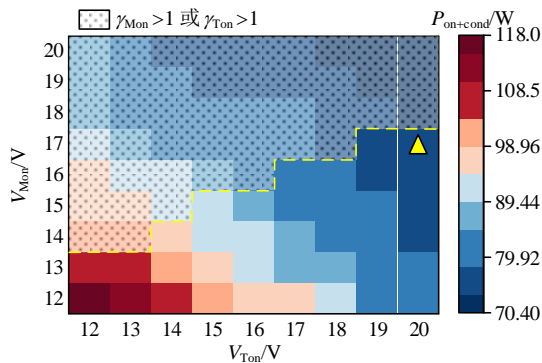


图 7 区间 1 内的驱动正压配置结果

Fig. 7 The results of positive gate voltage configuration in interval 1

MOSFET: +17 V/-8 V, IGBT: +20 V/-1 V。

2) 区间 2 内的驱动电压配置。

区间 2 内驱动电压配置需要考虑 γ_{Mon} 和 γ_{Ton} , 配置方法与区间 1 基本相同, 仅需将 $I_F = I_{SOA_MOS}$ 改为 $I_F = I_{SOA_IGBT}$ 。该区间内驱动负压采用 $V_{Moff} = -8\text{ V}$, $V_{Toff} = -1\text{ V}$, 在 $I_F = 75\text{ A}$ 条件下, 获取不同驱动正压下的 $P_{on+cond}$ 、 γ_{Mon} 和 γ_{Ton} 如图 8 所示。由图可知, 能够保障 $\gamma_{Mon} \leq 1$ 和 $\gamma_{Ton} \leq 1$ 的驱动正压有 14 组, 其中 $P_{on+cond}$ 取最小值的点为 $V_{Mon} = 15\text{ V}$, $V_{Ton} = 20\text{ V}$ 。因此, 区间 2 内的最佳驱动电压为 MOSFET: +15 V/-8 V, IGBT: +20 V/-1 V。

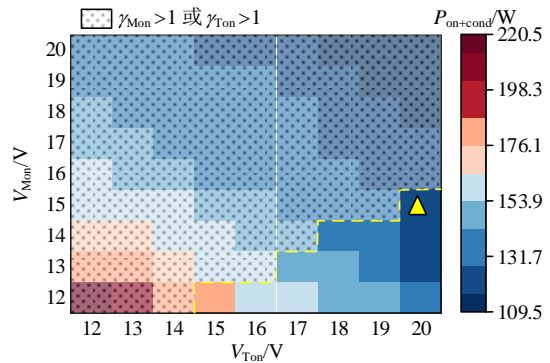


图 8 区间 2 内的驱动正压配置结果

Fig. 8 The results of positive gate voltage configuration in interval 2

3) 区间 3 内的驱动电压配置。

此区间内存在 IGBT 关断过流的风险, 在 $I_F = I_{Npeak}$ 的条件下配置驱动负压, 不同驱动负压下的 γ_{Toff} 如图 9 所示。共有 6 组驱动负压可以保障 $\gamma_{Toff} \leq 1$, 根据先最小化 V_{Toff} 幅值再最大化 V_{Moff} 幅值的原则, 选取 $V_{Moff} = -1\text{ V}$ 、 $V_{Toff} = -11\text{ V}$ 作为最佳驱动负压。

基于最佳驱动负压, 开展驱动正压配置, 配置方法与区间 1 相同, 结果如图 10 所示。有 3 组驱

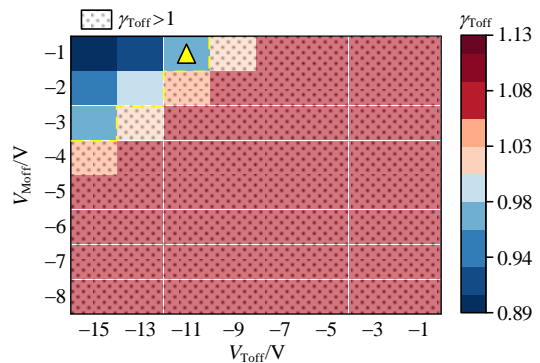


图 9 区间 3 内的驱动负压配置结果

Fig. 9 The results of negative gate voltage configuration in interval 3

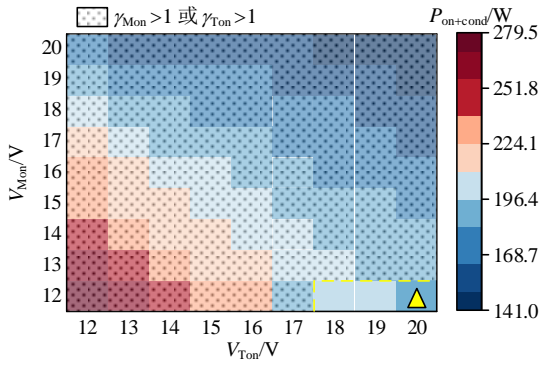


图 10 区间 3 内的驱动正压配置结果

Fig. 10 The results of positive gate voltage configuration in interval 3

动正压可以确保 $\gamma_{Mon} \leq 1$ 且 $\gamma_{Ton} \leq 1$ 。 $P_{on+cond}$ 的最小值点为 $V_{Mon} = 12\text{ V}$, $V_{Ton} = 20\text{ V}$, 故区间 3 内配置为 MOSFET: +12 V/-1 V, IGBT: +20 V/-11 V。

2.3 全工作域驱动模式配置方案

为实现 Si/SiC HyS 可靠性提升与损耗优化的兼顾, 本文结合开关时序与驱动电压, 提出了一套面向 Si/SiC HyS 的全工作域驱动模式配置方案, 具体流程如图 11 所示。

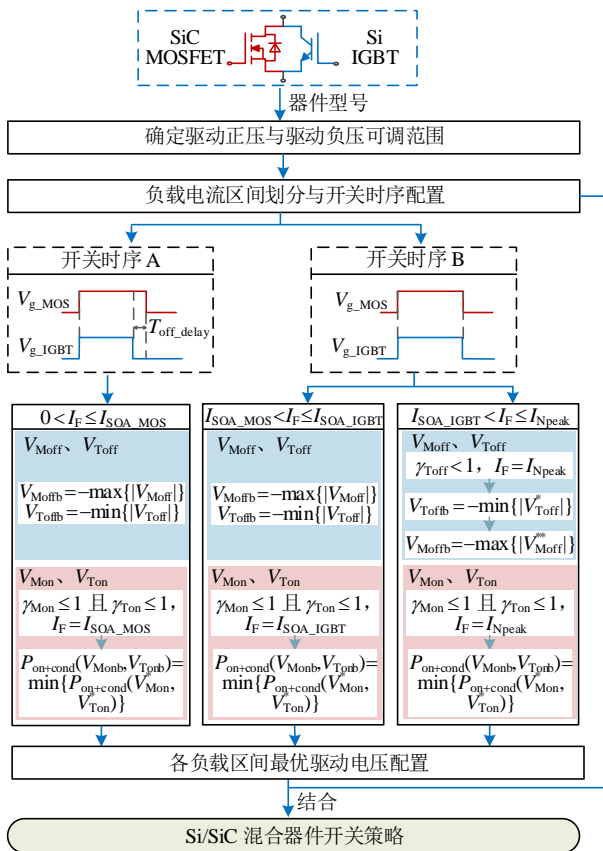


图 11 Si/SiC 混合器件全工作域驱动模式配置方案框图

Fig. 11 The driving mode configuration diagram of Si/SiC HyS in the full working domain

1) 基于所选 SiC MOSFET 与 Si IGBT 的型号, 确定 SiC MOSFET 与 Si IGBT 驱动正压与驱动负压的可调节范围。

2) 根据器件安全工作电流对 Si/SiC HyS 进行负载区间划分, 并配置各区间内的开关时序。

3) 获取运行于各区间内最大负载电流下时, 不同驱动负压下的器件关断电流峰值, 筛选出满足过流比条件的驱动负压, 在筛选结果中以先最小化 V_{Toff} 幅值再最大化 V_{Moff} 幅值为标准配置驱动负压。

4) 基于所配置的最佳驱动负压与驱动正压可调节范围, 确定满足开通过流比条件的驱动正压范围, 在该范围内选取开通损耗与导通损耗之和最低者为最优驱动正压。

5) 综合开关时序与驱动电压, 得到 Si/SiC 混合器件各个负载区间的最佳驱动模式, 最终形成完整的 Si/SiC 混合器件开关策略。

3 实验验证

本文搭建了附图 B1 所示的双脉冲测试平台验证所提开关策略的有效性, 参数如附表 B1 所示。

本文所提开关策略的示意图如图 12 所示。基于双脉冲测试平台, 将所提策略与文献[14]中的传统策略 1 和文献[22]中的传统策略 2 针对电流应力和损耗进行性能对比。其中, 传统策略 1 在全工作域内均为给 MOSFET 与 IGBT 施加 +15 V ~ -5 V 的驱动电压, 在轻载时使 MOSFET 提前于 IGBT 开通并晚于其关断, 实现 Si/SiC HyS 整体损耗的优化, 在重载时则使 IGBT 先于 MOSFET 并晚于其关断以避免 MOSFET 在暂态过程中的过流问题。传统策略 2 中轻载工况下 MOSFET 提前开通并延后关断, 此时 MOSFET 与 IGBT 驱动电压均为 +20 V ~ -5 V, 开关损耗进一步降低。随着电流增大, MOSFET 驱

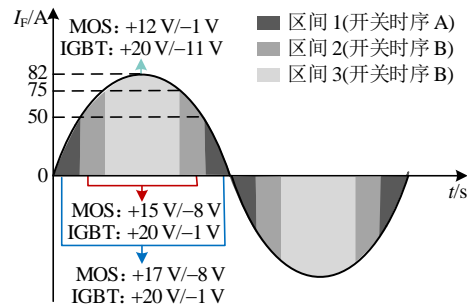


图 12 所提 Si/SiC 混合器件开关策略

Fig. 12 The switching strategy of Si/SiC HyS proposed in this paper

动电压降为 +15 V ~ -5 V 以保障其在开通过程中的低电流应力, 当负载增大至引起 MOSFET 开通电流峰值超过其安全工作电流时, 转换为 IGBT 提前开通并延后关断, 达到与策略 1 在重载下的相同效果。

3.1 电流应力对比

为验证所提策略在保障 Si/SiC 混合器件可靠运行方面的有效性, 在 Si/SiC HyS 的全工作域内, 对比所提策略、传统策略 1 和 2 下的 SiC MOSFET 和 Si IGBT 过流比情况, 如图 13 所示。从全工作范围

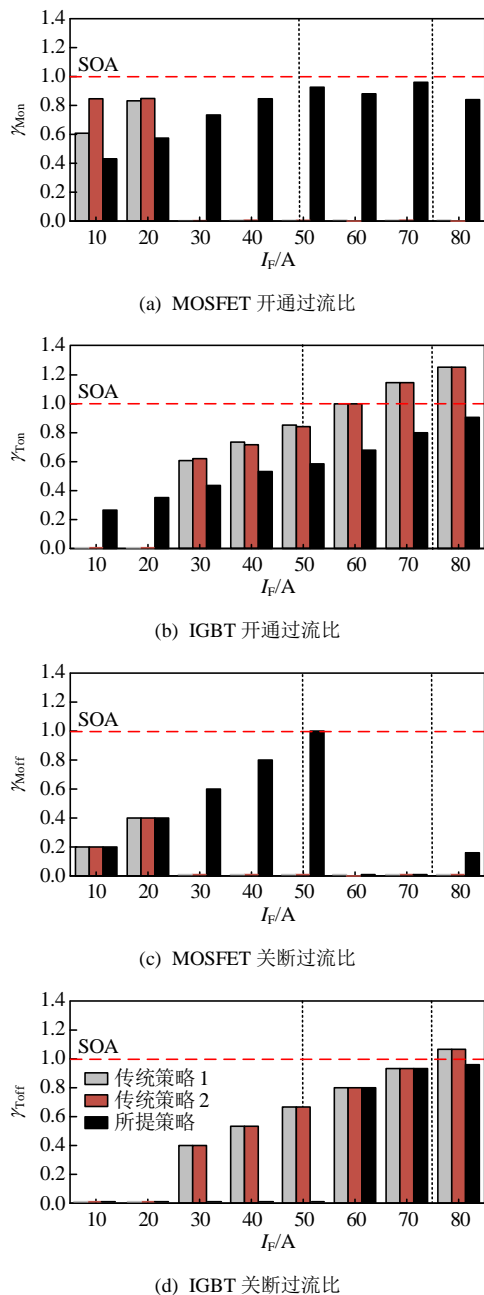


图 13 3 种开关策略过流比对比

Fig. 13 Comparison of overcurrent ratio of three switching strategies

来看, 本文设计的开关策略下 γ_{Mon} 、 γ_{Moff} 、 γ_{Ton} 和 γ_{Toff} 均不超过 1, 有效抑制了 Si/SiC HyS 的过流应力。在传统策略 1 和 2 中, γ_{Ton} 在 $I_F > 60$ A 后超过 1, γ_{Toff} 在 $I_F > 70$ A 后也超过 1, 因此 IGBT 在重载条件下面临着较大的过流风险。

本文所提的开关策略很好地解决了该问题, 图 14 为 80 A 负载电流下的 SiC MOSFET、Si IGBT 驱动电压及电流波形。由图可知, 此时 MOSFET 驱动电压为 +12 V/-1 V, IGBT 驱动电压为 +20 V/-11 V。此时负载电流为 80 A, MOSFET 与 IGBT 的关断电流峰值分别为 7.63 与 72.85 A, 二者的开通电流峰值分别为 42.89 与 66.53 A。考虑 MOSFET 与 IGBT 安全工作电流分别为 50、75 A, 因此, 80 A 负载下 γ_{Mon} 、 γ_{Moff} 、 γ_{Ton} 和 γ_{Toff} 均小于 1, 可见本方法能够显著降低器件的过流风险。

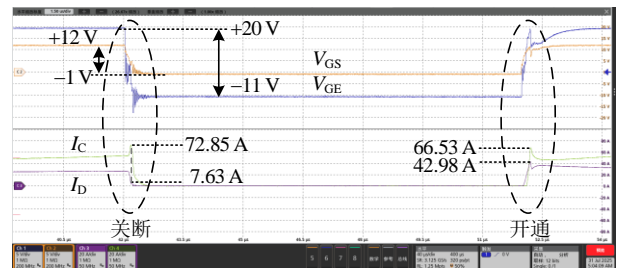


图 14 负载电流为 80 A 时的 MOSFET、IGBT 驱动电压及电流波形

Fig. 14 The gate voltage and current waveforms of MOSFET and Si IGBT when load current is 80 A

3.2 损耗对比

基于实验平台测试 3 种开关策略下, Si/SiC HyS 在全工作域内的开通损耗、关断损耗和导通损耗。相比两种传统开关策略, 所提策略下的损耗下降百分比情况如图 15—17 所示。

由图 15 可知, 与两种传统策略相比, 本文设计的开关策略在不同负载范围内均能有效降低 Si/

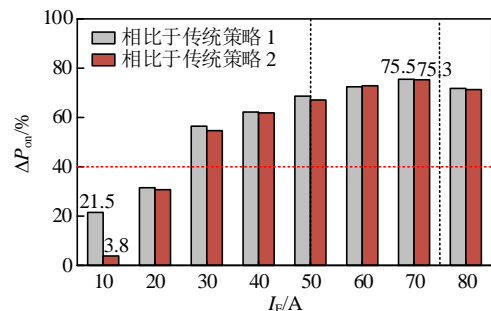


图 15 所提策略相比传统策略的开通损耗下降比

Fig. 15 The reduction ratio in turn-on loss for the proposed strategy over the traditional strategies

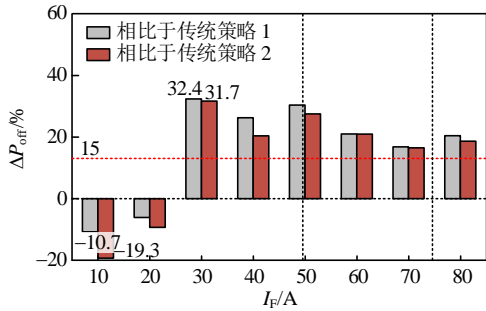


图 16 所提策略相比传统策略的关断损耗下降比
Fig. 16 The reduction ratio in turn-off loss for the proposed strategy over the traditional strategies

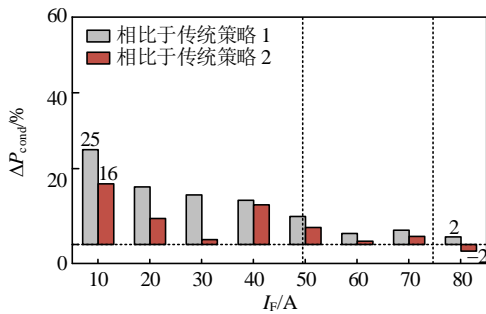


图 17 所提策略相比传统策略的导通损耗下降比
Fig. 17 The reduction ratio in conduction loss for the proposed strategy over the traditional strategies

SiC HyS 的开通损耗。特别是在 20 A 后，与策略 1 和 2 相比，本文所提开关策略下的开通损耗均降低了 40% 以上。这是因为在 $I_F > 20\text{ A}$ 后，为避免 MOSFET 开通过程中的过流问题，策略 1 和 2 中的开关时序均由 MOSFET 提前开通改为 IGBT 提前开通。但本文通过优化驱动电压而非切换开关时序来避免 MOSFET 的开通过流问题，IGBT 无需硬开通，因此开通损耗得以降低。

由图 16 可知，与传统策略相比，本文所提开关策略在较大范围内起到了很好的减小关断损耗作用，在 $I_F > 20\text{ A}$ 后尤为明显。这是因为策略 1 和 2 中为了降低 MOSFET 的关断过流比，在 $I_F > 20\text{ A}$ 后将开关时序由 MOSFET 延后关断改为了 IGBT 延后关断。而本文通过驱动负压配置即可实现这一目标，避免了 IGBT 的硬关断过程。

由图 17 可知，本文所提开关策略下 Si/SiC HyS 的导通损耗功率在全工作域内低于策略 1，在大范围内低于策略 2。

综上所述，本文所提开关策略能够保障 Si/SiC HyS 在全工作域内均不出现过流应力、有效提升了 Si/SiC HyS 的运行可靠性。与此同时在全工作域内，相比于传统的两种开关策略，所提开关策略能够有

效降低开通损耗、关断损耗和导通损耗平均降低了 57.5%、16.3%、10.1% 和 54.7%、13.4%、5.0%。可见，所提开关策略能够实现 Si/SiC HyS 低损耗与低电流应力的兼顾。

3.3 成本对比

对比同等电流等级下所提方案与单个 SiC MOSFET 及其驱动电路的成本，其中，SiC MOSFET 采用文献[8,29]中的所用低过冲低损耗有源门极驱动，主要元器件的数量与成本如表 2 所示。综合考虑器件与驱动电路下，本文所提方案的总价相比单个 SiC MOSFET 方案降低了 124.82 元(39.54%)，可见本方案具有明显成本优势。

表 2 考虑器件与驱动电路下的 Si/SiC HyS 与单个 SiC MOSFET 成本对比

Table 2 The cost comparison between Si/SiC HyS and SiC MOSFET considering device and drive circuit

元器件类型		数量/个	单价/元	总价/元
单个 SiC MOSFET	SiC MOSFET(C3M0021120D)	1	225.42	225.42
	隔离电源模块(QA243C-1504R3)	1	15.30	15.30
	栅极驱动芯片(IXDN614)	1	15.88	15.88
	及 单路电压比较器(TLV3501AI)	2	7.24	14.48
	其驱动电路 双路电压比较器(TLV3502AI)	4	10.83	43.32
	逻辑与门(SNL17SZ-08DFT2G)	4	0.31	1.24
合计		—	—	315.64
元器件类型		数量/个	单价/元	总价/元
Si/SiC HyS 及其驱动电路	SiC MOSFET(C3M0075120D)	1	62.86	62.86
	Si IGBT(IKW25T120)	1	30.54	30.54
	隔离电源模块(WRA2409S-3WR2)	1	14.36	14.36
	栅极驱动芯片(1EDI20N12AF)	2	6.04	12.08
	及 数字电位器(MCP4011-103E/MS)	4	5.35	21.40
	运算放大器 1(OPA188AIDBV)	4	2.93	11.72
	运算放大器 2(OPA690-IDBVR)	4	8.34	33.36
	精密电流传感器(DL-CT08CL2)	1	4.50	4.50
合计		—	—	190.82

4 结论

为有效保障 MOSFET 与 IGBT 在 Si/SiC 混合器件全工作域内均不出现开关暂态过流现象，本文提出了一种基于全工作域驱动模式动态配置的 Si/SiC 混合器件开关策略，并得到如下结论：

1) 详细解析了考虑驱动电压影响下的 Si/SiC 混合器件开关暂态过程，发现驱动正压与驱动负压分别对开通和关断过程的电流尖峰抑制占主导作用。

2) 以 MOSFET 和 IGBT 的安全工作电流为边界划分 Si/SiC 混合器件的全工作域，分别配置了每

个区间所适用的开关时序,并针对各区间进行最佳正、负驱动电压配置。开关时序与驱动电压的协同设计形成了一种面向全工作域的Si/SiC混合器件新型开关策略。

3)与传统的两种策略相比,仅有所提策略能确保MOSFET和IGBT在全工作域内的过流比不超过1,保障Si/SiC混合器件的可靠应用,同时有效降低开关损耗和导通损耗。

参考文献

- [1] 柴育恒,葛兴来,张林林,等.一种基于开通栅极电压的新型IGBT键合线老化监测方法[J].中国电机工程学报,2024,44(1):244-254.
CHAI Yuheng, GE Xinglai, ZHANG Linlin, et al. A novel bonding wires aging monitoring method for IGBT based on the turn-on gate voltage[J]. Proceedings of the CSEE, 2024, 44(1): 244-254(in Chinese).
- [2] ZHOU Wenzhi, YUAN Xibo. Experimental evaluation of SiC Mosfets in comparison to Si IGBTs in a soft-switching converter[J]. IEEE Transactions on Industry Applications, 2020, 56(5): 5108-5118.
- [3] 项鹏飞,郝瑞祥,王启丞,等.基于有源箝位技术的SiC MOSFET串联均压有源驱动电路研究[J].中国电机工程学报,2024,44(16):6565-6577.
XIANG Pengfei, HAO Ruixiang, WANG Qicheng, et al. Voltage balancing circuit for series-connected SiC MOSFETs based on active clamping[J]. Proceedings of the CSEE, 2024, 44(16): 6565-6577(in Chinese).
- [4] LI Daohui, LI Xiang, CHANG Guiqin, et al. Characterization of A 3.3-kV Si-SiC hybrid power module in half-bridge topology for traction inverter application[J]. IEEE Transactions on Power Electronics, 2020, 35(12): 13429-13440.
- [5] 龙柳,肖凡,涂春鸣,等.基于热网络分区等效策略的Si/SiC混合器件耦合热参数辨识方法[J].电工技术学报,2024,39(12):3718-3731.
LONG Liu, XIAO Fan, TU Chunming, et al. Enhanced identification approach for RC parameters of Si/SiC hybrid switches based on thermal network partition scheme[J]. Transactions of China Electrotechnical Society, 2024, 39(12): 3718-3731(in Chinese).
- [6] FU Yongsheng, MA Yongsheng, REN Haipeng. A low cost compact SiC/Si hybrid switch gate driver circuit for commonly used triggering patterns[J]. IEEE Transactions on Power Electronics, 2022, 37(5): 5212-5223.
- [7] 韩硕,涂春鸣,龙柳,等.基于SiC导通比例与开关频率协同调控的Si/SiC混合器件综合热管理方法[J].中国电机工程学报,2025,45(13):5241-5254.
HAN Shuo, TU Chunming, LONG Liu, et al. Integrated thermal management method for Si/SiC hybrid switch based on coordinated control of SiC conduction ratio and switching frequency[J]. Proceedings of the CSEE, 2025, 45(13): 5241-5254(in Chinese).
- [8] 刘平,李海鹏,苗轶如,等.基于驱动电流动态调节的低过冲低损耗SiC MOSFET有源门极驱动[J].中国电机工程学报,2020,40(18):5730-5741.
LIU Ping, LI Haipeng, MIAO Yiru, et al. Low overshoot and low loss active gate driver for SiC MOSFET based on driving current dynamic regulation[J]. Proceedings of the CSEE, 2020, 40(18): 5730-5741(in Chinese).
- [9] 秦海鸿,谢斯璇,卜飞飞,等.SiC MOSFET栅源电压评估及驱动回路参数优化设计方法[J].中国电机工程学报,2022,42(18):6823-6834.
QIN Haihong, XIE Sixuan, BU Feifei, et al. Gate-source voltage evaluation and parameter optimized designed method of driving circuit for SiC MOSFET[J]. Proceedings of the CSEE, 2022, 42(18): 6823-6834(in Chinese).
- [10] CUI Mingkai, CHEN Lei, PEI Yulong, et al. The active gate driver based on hardware closed-loop control for crosstalk suppression of SiC MOSFETs with kelvin-source connection[J]. IEEE Transactions on Power Electronics, 2025, 40(1): 217-226.
- [11] RØDAL G L, PEFTITSIS D. Gate-drive circuits for adaptive operation of SiC MOSFETs[J]. IEEE Transactions on Power Electronics, 2024, 39(7): 8162-8186.
- [12] 王宁,张建忠.基于开关轨迹优化的SiC MOSFET有源驱动电路研究综述[J].电工技术学报,2022,37(10):2523-2537.
WANG Ning, ZHANG Jianzhong. Review of active gate driver for SiC MOSFET with switching trajectory optimization[J]. Transactions of China Electrotechnical Society, 2022, 37(10): 2523-2537(in Chinese).
- [13] 李虹,邱志东,杜海涛,等.提升桥式电路中SiC MOSFET关断性能和栅极电压稳定性的有源驱动电路研究[J].中国电机工程学报,2022,42(21):7922-7933.
LI Hong, QIU Zhidong, DU Haitao, et al. Research on active gate driver for improving turn-off performance and gate voltage stability of SiC MOSFET in bridge circuit[J]. Proceedings of the CSEE, 2022, 42(21): 7922-7933(in Chinese).
- [14] HE Jiangbiao, KATEBI R, WEISE N. A current-dependent switching strategy for Si/SiC hybrid switch-based power converters[J]. IEEE Transactions on Industrial Electronics, 2017, 64(10): 8344-8352.
- [15] PENG Zishun, WANG Jun, LIU Zeng, et al. Adaptive gate delay-time control of Si/SiC hybrid switch for efficiency improvement in inverters[J]. IEEE Transactions on Power Electronics, 2021, 36(3): 3437-3449.
- [16] WANG Jianing, WANG Chen, ZHAO Shuang, et al.

- Comprehensive analysis of paralleled SiC MOSFETs current imbalance under asynchronous gate signals[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2023, 11(5): 4850-4866.
- [17] LIANG Yang, LIANG Deliang, JIA Shaofeng, et al. Compound current controller based on SiC/Si hybrid converter for current harmonics suppression of high-speed PMSMs[J]. IEEE Transactions on Industry Applications, 2023, 59(6): 6852-6867.
- [18] LIU Zeng, PENG Zishun, PENG Xiaogui, et al. Current-dependent variable switching strategy for Si/SiC hybrid switch-based single-phase inverter[C]//Proceedings of the 2019 IEEE Energy Conversion Congress and Exposition (ECCE). Baltimore: IEEE, 2019: 1922-1925.
- [19] PENG Zishun, WANG Jun, LIU Zeng, et al. A variable-frequency current-dependent switching strategy to improve tradeoff between efficiency and SiC MOSFET overcurrent stress in Si/SiC-hybrid-switch-based inverters [J]. IEEE Transactions on Power Electronics, 2021, 36(4): 4877-4886.
- [20] ZHANG Peiran, WANG Shanming, LI Yituo. Sensorless control of IPMSM in zero-and low-speed regions using dual random high-frequency square-wave voltage injection to reduce audible noise[J]. IEEE Transactions on Industrial Electronics, 2024, 71(10): 11864-11875.
- [21] QIN Haihong, XIE Sixuan, BA Zhenhua, et al. Evaluation and suppression method of turn-off current spike for SiC/Si hybrid switch[J]. IEEE Access, 2023, 11: 26832-26842.
- [22] XIAO Biao, GUO Qi, TU Chunming, et al. A novel switching strategy based on the driving voltage and switching sequence for Si/SiC hybrid switch[J]. IEEE Transactions on Industrial Electronics, 2024, 71(11): 14265-14275.
- [23] 肖标, 郭祺, 涂春鸣, 等. 面向开关时序与驱动电压自主协同调控的 SiC/Si 混合开关驱动电路[J]. 电工技术学报, 2025, 40(4): 1117-1128.
- XIAO Biao, GUO Qi, TU Chunming, et al. SiC/Si hybrid switch drive circuit with autonomous and coordinated control of switching sequences and driving voltages[J]. Transactions of China Electrotechnical Society, 2025, 40(4): 1117-1128(in Chinese).
- [24] LI Zongjian, ZHANG Chao, YU Jiajun, et al. Dynamic gate delay time control of Si/SiC hybrid switch for loss minimization in voltage source inverter[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2022, 10(4): 4160-4170.
- [25] 王旭东, 朱义诚, 赵争鸣, 等. 驱动回路参数对碳化硅 MOSFET 开关瞬态过程的影响[J]. 电工技术学报, 2017, 32(13): 23-30.
- WANG Xudong, ZHU Yicheng, ZHAO Zhengming, et al. Impact of gate-loop parameters on the switching behavior of SiC MOSFETs[J]. Transactions of China Electrotechnical Society, 2017, 32(13): 23-30(in Chinese).
- [26] 蒋潇锋. Si IGBT 和 SiC MOSFET 并联分流特性研究 [D]. 重庆: 重庆大学, 2022.
- JIANG Xiaofeng. Research on current distribution characteristics of hybrid switch comprised of Si IGBT and SiC MOSFET[D]. Chongqing: Chongqing University, 2022(in Chinese).
- [27] Infineon, 2025[EB/OL]. https://assets.wolfspeed.com/uploads/2024/01/Wolfspeed_C3M0075120D-A_data_sheet.pdf.
- [28] Wolfspeed, 2025[EB/OL]. https://www.infineon.com/dgdl/Infineon-IKW25T120-DS-v02_03-en.pdf?faaeId=db3a304412b407950112b42899373e31.
- [29] 陈梓健. 基于开关瞬态反馈的 SiC MOSFET 有源门极驱动技术研究[D]. 长沙: 湖南大学, 2022.
- CHEN Zijian. Active gate driver for SiC MOSFET based on switching transient feedback[D]. Changsha: Hunan University, 2022(in Chinese).

附录 A 驱动电压配置流程框图

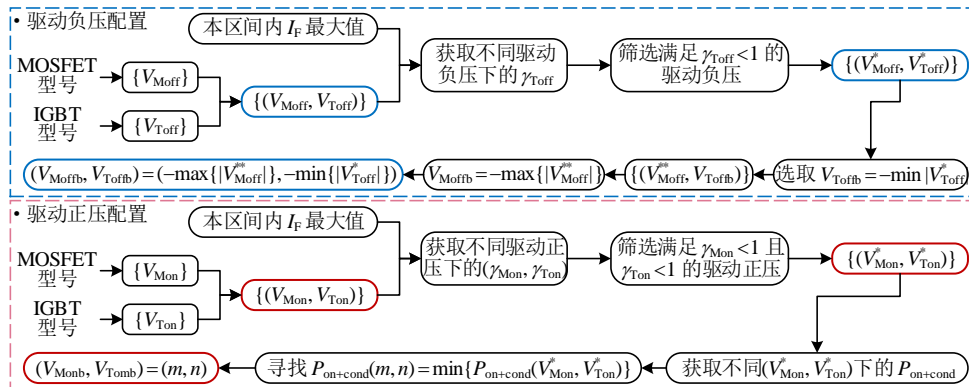


图 A1 Si/SiC 混合器件驱动电压配置流程框图

Fig. A1 Si/SiC HyS gate voltage configuration flow chart

附录B 实验平台

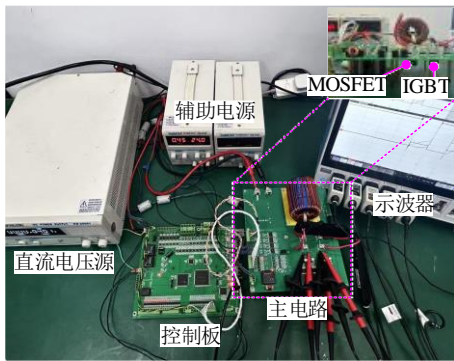


图 B1 双脉冲测试实验平台

Fig. B1 Double pulse test experimental platform

表 B1 实验平台参数

Table B1 Relevant parameters of the experimental platform

参数	数值
直流母线电压/V	400
负载电感/ μH	200
直流侧稳压电容/mF	1.88
关断延时/ μs	1
MOSFET 栅极电阻/ Ω	20
IGBT 栅极电阻/ Ω	20



龙柳

在线出版日期: 2025-11-26。

收稿日期: 2025-06-06。

作者简介:

龙柳(1996), 女, 博士研究生, 研究方向为电力电子系统可靠性, liu_l@hnu.edu.cn;

*通信作者: 白丹(2001), 女, 硕士研究生, 研究方向为电力电子系统可靠性, baidan@hnu.edu.cn。

(责任编辑 吕鲜艳)